MB91580 シリーズ　デザインレビューシート

お客様製品名：＿＿＿＿＿＿＿＿＿＿＿＿チェック日：＿＿＿＿＿＿＿＿＿＿＿＿
ご採用MCU型格：＿＿＿＿＿＿＿＿＿＿＿＿チェック担当：＿＿＿＿＿＿＿＿＿＿＿＿

本デザインレビューシートは、MB91580 シリーズでのシステム開発において、問題を未然に防ぐことを目的として準備させていただいております。
より潤滑にご利用いただく上で、最低限必要と思われますチェック項目をリストしたものです。是非、ご活用ください。
また、チェック実績として、ご利用頂いた本書を大切に保管することをお勧めいたします。

項目		チェック内容	チェック理由	チェック結	備考	更新日
CPU	パワーオンリセット	電気的特性のパワーオンリセットの規格を満足していますか?	パワーオンリセットの規格を満足しない電源投入があった場合、正常にリセットが掛からないままCPUが命令実行する可能性があります。	Yes / No	電源投入時のリセットを期待するシステムの場合のみ対象（電源監視用ICを使用して二次的なリセット入力が期待できる場合は、対象外）	2011/10/14
CPU	イレギュラーリセット	イレギュラーリセットの種類は把握されていますか?	以下の3種類がイレギュラーリセットです ・パワーオンリセット ・内部電源低電圧検出リセット ・RSTX端子とNMI端子の同時アサート	Yes / No		2011/10/14
CPU	イレギュラーリセット	イレギュラーリセットのみ初期化されるレジスタは把握されていますか。以下5つのレジスタが対象です。 ・PMUCTLR ・PWRTMCTL ・PMUINTF0 ・PMUINTF1 ・PMUINTF2	イレギュラーリセットのみ初期化されるレジスタは重要です。パワーオンリセットが掛からなかった場合のRSTX端子/NMIX端子によるリセット入力等、ケアする手段の検討しておく必要があります。	Yes / No		2011/10/14
CPU	外部低電圧検出リセット	電源電圧の変化時間（電圧降下時/電圧上昇時）はデータシートの規格を満たしていますか?	電源電圧の変化時間の規格を満たしていないと設定した検出電圧外でリセットが掛かる場合があります。	Yes / No		2011/10/14
CPU	電源遮断モード（シャットダウンモード）	スタンバイモードに電源遮断有/無の2種類のモードが有るのはご存知ですか?	電源遮断有/無で復帰時に保持されるレジスタおよびRAMが異なり、システム上のケアが必要になります	Yes / No		2011/10/14
CPU	外部リセット	リセット入力幅は、当社規格を満足していますか?	リセット入力幅が規格を満足しないと、復帰できなくなる恐れがあります。	Yes / No		2011/10/14
CPU	外部リセットIC	外部リセットICを使用する際、低電圧検出値はマイコンの動作保証値内ですか? また、検出後の発生するまでの電圧降下は考慮されていますか?	動作保証値内でリセットが入力されないと誤動作の恐れがあります。	Yes / No	データシート内の動作保証範囲を確認願います。	2011/10/14
CPU	割込み	未定義命令例外割込みの割込みベクタ処理をしていますか?	暴走等により未定義命令が実行された場合の暴走要因になります。	Yes / No	未定義命令実行時には未定義命令例外割り込みが発生しますので、特別な処理が必要な場合は、その処理にジャンプする様にしてください。特別な処理が必要でない場合は、リセットベクタへのジャンプ設定を推奨します。	2011/10/14
CPU	割込み	未使用割り込みベクタの処理をしていますか?	暴走等により未使用割り込みが発生した場合の暴走要因になります。	Yes / No	特別な処理が必要な場合は、その処理にジャンプする様にしてください。特別な処理が必要でない場合は、リセットベクタへのジャンプ設定を推奨します。	2011/10/14
CPU	ビット操作命令	各リソースのレジスタでリードモディファイライト命令を禁止しているものがありますが、対象レジスタにリードモディファイライト命令を使用していませんか?	命令実行が正常にされず、意図しないデータが書き込まれる可能性があります。	Yes / No		2011/10/14
CPU	メインクロック発振安定待ち	システムと発振子とのマッチングデータを取得し、必要な発振安定待ち時間を把握していますか?	正常発振しないまま、CPU動作をさせることが懸念されます。	Yes / No	ご使用される発振子メーカに発振評価依頼をしてください。	2011/10/14
CPU	サブクロック発振安定待ち	サブクロックの発振が安定してない状態でメインモードからサブクロックモードに状態遷移していませんか?	サブクロックは、メインクロックより発振安定時間が必要です。そのため、サブクロックモードに遷移する場合は、サブクロックが発振安定してから状態遷移する必要があります。	Yes / No	サブクロックを使用する場合のみ対象	2011/10/14
CPU	クロック	FLASH制御レジスタ(FCTLR)にて、FLASHアクセスサイズ設定やウェイトサイクル設定は適切に行っていますか?	FLASHアクセスサイズ設定やウェイトサイクル設定は、CPUの処理性能に影響しますので、動作周波数に合わせて最適な値を設定してください。	Yes / No	マニュアルの説明を参照願います。	2011/10/14
CPU	クロック	PLLモードからメインモードを返さず直接ストップモードに遷移させた場合、不正スタンバイモードになることをご存知ですか?	意図せぬリセットが発生する可能性があります。CPU異常動作レジスタ（CPUAR）にてケアが必要です	Yes / No		2011/10/14
周辺機能	I/Oポート	システムにおいて、フェールセーフを目的に重要なポート入出力の追い書き等の処理を行っていますか?	基本的には、ソフトで設定しないかぎりポートの状態は変化しません。しかしながら、システムのフェールセーフを目的として、重要ポートには、追い書き等のリフレッシュ機能をソフト的に挿入することを推奨いたします。	Yes / No		2011/10/14
周辺機能	I/Oポート	CMOS入出力ポートを出力として使用する場合、PDRxレジスタを設定してからDDRxレジスタを設定してPFRxレジスタを設定していますか?	PDRxレジスタの初期値は不定ですので、PDRxレジスタを設定せずにDDRxレジスタで出力設定すると不定出力することになります。出力として使用する場合はPDRxレジスタを先に設定してください。次にPFRxレジスタ設定がある場合は設定してください。	Yes / No		2011/10/14
周辺機能	I/Oポート	端子機能割り振りを設定する拡張ポート機能レジスタEPFRを設定してから、ポートを使用していますか?	初期設定されている周辺機能の端子配列から、端子割り振りを変更して使用する場合には、EPFRレジスタの設定変更が必要です。	Yes / No		2011/10/14
周辺機能	ADC	アナログ入力インピーダンスがデータシートに記載されているアナログ入力インピーダンス以下ですか? アナログ入力インピーダンスが高い場合、サンプルホールド時間を長く設定するか、外部にコンデンサを付けてインピーダンスを低くする必要があります。	アナログ入力インピーダンスが大きい場合、アナログデータのサンプリング時間が足りなくなる場合があります。	Yes / No	A/Dコンバータを使用する場合のみ対象	2011/10/14

MB91580 シリーズ　デザインレビューシート

お客様製品名：＿＿＿＿＿＿＿＿＿＿＿＿チェック日：＿＿＿＿＿＿＿＿＿＿
ご採用MCU型格：＿＿＿＿＿＿＿＿＿＿＿＿チェック担当：＿＿＿＿＿＿＿＿＿＿

本デザインレビューシートは、MB91580 シリーズでのシステム開発において、問題を未然に防ぐことを目的として準備させていただいております。
より潤滑にご利用いただく上で、最低限必要と思われますチェック項目をリストしたものです。是非、ご活用ください。
また、チェック実績として、ご利用頂いた本書を大切に保管することをお勧めいたします。

項目		チェック内容	チェック理由	チェック結	備考	更新日
周辺機能	ADC	アナログサンプルホールド時間は、十分に確保していますか?	アナログ入力インピーダンスが大きい場合、アナログ入力端子にグリッジが発生します。そのグリッジは、アナログ入力インピーダンスを内部容量の時定数で決定しますが、サンプルホール時間が短いとサンプルホールド値がグリッジの影響を受ける可能性があります。(Flash, Mask間でも相違がありますので、アナログ入力インピーダンスが高い場合は、十分にサンプルホールド時間を得ることを推奨します。)	Yes / No	データシートの推奨アナログ入力インピーダンス以上でご使用になる場合のみ対象	2011/10/14
周辺機能	Flash	Flashメモリ書込み/消去(チップ消去, セクタ消去)中にFlashメモリのリードが行えないことをご存知ですか?	FLASHメモリ書込み/消去(チップ消去, セクタ消去)中にFLASHメモリ上の割り込みベクタもリードすることはできません。従いまして、書込み/消去実行中に割り込み処理を行うことはできませんのでご注意ください。	Yes / No	FLASHのユーザ書込みを行う場合のみ対象	2011/10/14
周辺機能	Flash	FLASHメモリのユーザ書込みにご対応している場合、ハードウェア・シーケンス・フラグを用いてFLASH書込み制御を行っているでしょうか?	FMCSレジスタでは書込み/消去エラー判定など行うことができませんので、ハードウェア・シーケンス・フラグを用いて、FLASH書込み/消去制御を行うことを推奨します。	Yes / No	FLASHのユーザ書込みを行う場合のみ対象	2011/10/14
周辺機能	I2C	マスタモード設定(MSSビットへの1書込み)後、ALビットを確認していますか?	SCL端子またはSDA端子がLOW状態の時に、マスタモード設定(MSSビットへの"1"書込み)を行うと、スタートコンディション発生およびSCLクロック出力ができず、転送終了割り込み(INTビット)が発生しません。従いまして、マスタモード設定(MSSビットへの"1"書込み)後は、3bitデータ転送時間ウェイト後にALビットを確認して頂き、本状態を検出してください(ALビットが変化するには、MSSビット=1設定から3bitデータ転送時間かかります)。	Yes / No	I2Cを使用する場合のみ対象	2011/10/14
周辺機能	I2C	通信相手のデータセットアップ時間規格を満たすように本品種の動作周波数を設定していますか?	通信相手のデータセットアップ時間規格に合わせて本品種の動作周波数を設定してください。	Yes / No	I2Cを使用する場合のみ対象	2011/10/14
周辺機能	I2C	INTビットのクリアは、割り込みルーチン処理の終わりで行っていますか?	INTビット=1の状態でSCL端子=LOW出力、INTビットクリアでSCL端子を開放する仕様になっています。従いまして、INTビット=1(SCL端子=LOW)の状態でI2Cデータ処理を行い、次のデータ送受信が可能になった時にINTビットクリア(SCL端子を開放)する必要があります。	Yes / No		2011/10/14
周辺機能	I2C	I2Cバスを使用する場合、兼用ピンを入力として設定(DDR=0)されてご使用になられているでしょうか?	たとえば、I2Cバスとの兼用ピン(Pxy/SCK0, Pxz/SOT0)の同一系列(Px0～Px7)に対してRMW系の命令を実行し、かつ、兼用ピンを出力として設定された場合には、RMW命令実行によりPDR(Pxy, Pxz)が変化することが考えられます。この状態でI2Cバスを禁止した場合、変化したPDR(Pxy, Pxz)の値がポート出力します。	Yes / No	I2Cを使用する場合のみ対象	2011/10/14
周辺機能	I2C	マルチマスタモードでゼネラル・コール・アドレス送信をしていませんか?	本品種ではゼネラル・コール・アドレス送信してアービトレーションロストする使用方法を禁止していますので、マルチマスタモードではゼネラル・コール・アドレス送信しないことを推奨します。	Yes / No	I2Cを使用する場合のみ対象	2011/10/14
周辺機能	ハードウェアウォッチドッグタイマ	ハードウェアウォッチドッグタイマを定期的にクリアされていますか? (WDTCPR1レジスタ)	ハードウェアウォッチドッグタイマはリセット解除後, CR発振回路にて直ちに動作を開始します。ソフトウェアではカウントを停止することはできません。ソフトウェアで定期的にクリアしないとリセット信号が発生します	Yes / No	CPU が動作しないモード (ICE使用中, SLEEP モード, STOP モード, スタンバイモード, スタンバイモードから復帰時の発振安定待ち中) ではそれらのモードへの遷移前にタイマはクリアされ, カウントは停止します。	2011/10/14
周辺機能	ウォッチドッグタイマ	タイマ割込みなどによりウォッチドッグタイマをクリアしていませんか? (PLL逓倍誤設定および、間欠動作モードも考慮していますか?)	ウォッチドッグリセット間隔が充分に考慮されていないと、プログラムが正常な手順で進んでいるかどうかの検出ができません。	Yes / No		2011/10/14
全般	—	リンカの配置結合にて、Flash, Maskチップの ROM, RAM容量に合わせてメモリ範囲を設定していますか?	評価用のEVAチップとFlash, Maskチップの内蔵メモリ容量が異なります。そのため、ツールでは正常に動作確認ができても、実チップでは、動作しない可能性があります。	Yes / No		2011/10/14
全般	—	スタックの最大使用量をチェックしていますか?	スタックの使用量の見積もりを間違えるとRAM破壊の可能性があります。	Yes / No	SoftuneのCアナライザなどを使用してスタックの最大使用量をチェックされることを推奨します。(なお、Cアナライザでは、動的なスタックはチェックできませんので、多重割り込み発生時など考慮して確認する必要があります。	2011/10/14
全般	—	ライトオンリのビットを含むレジスタにリードモディファイライト系の命令を実行していませんか?	ライトオンリのビットを含むレジスタに対しリードモディファイライト系命令(BANDLなどの命令)を使用するとライトオンリビットのリード値が不定のため、問題になる可能性があります。(マニュアル上でリードモディファイライトを使用しても問題ないと記載されているレジスタについては問題ありません。)	Yes / No	Cソースでの開発の場合は、ライトオンリのビットを含むレジスタに対してヘッダファイルでビット単位で適宜されていることがないか確認をお願います。 リードモディファイライト系の命令は、命令一覧表のRMWに*がある命令を示します。	2011/10/14
全般	—	使用電圧範囲, 使用温度範囲, 使用動作周波数は、Spansionの定める規格を満たしていますか?満たしていない場合は特殊保証の検討と取り交わしを行っていますか?	保証範囲外でご使用される場合、製品保証ができなくなります。	Yes / No	データシート内の動作保証範囲を確認してください。	2011/10/14
ノイズ対策およびその他	MD端子	MD端子の処理は、命令実行中でも同一レベルが確保されていますか?	MD端子レベル誤読出しする恐れがあります。(MD端子が高インピーダンスの抵抗で処理されている場合など、ノイズによりMD端子レベルが確保できなくなる可能性があります。)	Yes / No	外部ノイズがMD端子に周り込み安い場合は、モード端子にコンデンサを接続する等の静電気対策を行われることを推奨いたします。	2011/10/14
ノイズ対策およびその他	MD端子	MD端子の処理の配線が長かったり、隣接に大電流信号がないですか?	電源変動やノイズの影響でMD端子レベル誤読出しする恐れがあります。	Yes / No		2011/10/14

MB91580 シリーズ　デザインレビューシート

お客様製品名：＿＿＿＿＿＿＿＿＿＿＿＿チェック日：＿＿＿＿＿＿＿＿＿＿＿＿
ご採用MCU型格：＿＿＿＿＿＿＿＿＿＿＿＿チェック担当：＿＿＿＿＿＿＿＿＿＿＿＿

本デザインレビューシートは、MB91580 シリーズでのシステム開発において、問題を未然に防ぐことを目的として準備させていただいております。
より潤滑にご利用いただく上で、最低限必要と思われますチェック項目をリストしたものです。是非、ご活用ください。
また、チェック実績として、ご利用頂いた本書を大切に保管することをお勧めいたします。

項目		チェック内容	チェック理由	チェック結	備考	更新日
ノイズ対策およびその他	発振	水晶振動子を使用している場合、適正なダンピング抵抗が挿入されていますか?	水晶振動子を使用する場合は、励振電流を抑制するためにダンピング抵抗が必要です。	Yes / No	ご使用される発振子メーカに発振評価依頼をしてください。	2011/10/14
ノイズ対策およびその他	発振	量産チップで発振のマッチングデータを取得していますか?	Flash品とMask品では発振特性が異なる場合がありますので、量産品において発振マッチングデータを取得することを推奨します。	Yes / No	ご使用される発振子メーカに発振評価依頼をしてください。	2011/10/14
ノイズ対策およびその他	発振	発振回路部のダンピング抵抗値は不要輻射ノイズと発振振幅を意識して値を決定していますか?	発振が正常にされなかったり、発振のオーバシュート、アンダシュートにより不要輻射ノイズが増加する可能性があります。	Yes / No	不要輻射ノイズ問題が発生した時は、まず発振波形を確認しつつ不要輻射ノイズ対策としてダンピング抵抗の挿入検討が必要です。	2011/10/14
ノイズ対策およびその他	発振	発振子は、できるだけチップの近くに配置していますか?	外来ノイズによるCPU暴走の恐れが考えられます。	Yes / No	発振子は、必ずチップ近くに配置することを推奨します。	2011/10/14
ノイズ対策およびその他	Vcc, GND	Vcc, GNDはできるだけ強くなる様に考慮されていますか?	不要輻射ノイズの問題および、外来ノイズによるCPU暴走の恐れが考えられます。	Yes / No	不要輻射ノイズおよび、外来ノイズ問題こと前回避を考えると、電源, GNDを極力広く取ることを推奨します。(チップの下などは、GNDを置くことでGND強化が図れます。)	2011/10/14
ノイズ対策およびその他	ESD, ラッチアップ, ノイズ	量産チップでESD, ラッチアップ, ノイズ評価を行っていますか?	Flash品とMask品ではESD, ラッチアップ, ノイズの実力が異なりますので、量産品においてESD, ラッチアップの評価を行うことを推奨します。	Yes / No	Mask, Flash 間の実力特性データについては、特性例として当社測定結果を提出することは可能ですので、ご要求願います。	2011/10/14
ノイズ対策およびその他	コンデンサ	ノイズ対策用のコンデンサは、チップの近くに最適値のコンデンサが接続されていますか?	ノイズ対策に付けたコンデンサがリードのリアクタンス成分で効かない場合があります。(ノイズ成分を考慮した対策が必要です。)	Yes / No		2011/10/14
ノイズ対策およびその他	C端子	Vccに接続される平滑コンデンサは、C端子に接続する平滑コンデンサより大きいでしょうか?	Vcc端子の平滑コンデンサが小さいと内部レギュレータが不安定になる恐れがあります。	Yes / No		2011/10/14
ノイズ対策およびその他	未端子処理	使用してない端子は、2kΩ以上の抵抗を返してプルアップもしくはプルダウン処理していますか? もしくは、端子開放でイニシャルルーチン内でポート出力処理を行っていますか?	未使用端子が抵抗を返さず端子処理された場合、CPU暴走によりポートレベルが処理レベルと反対のレベル出力した場合にラッチアップ等の問題が発生する可能性があります。	Yes / No		2011/10/14
ノイズ対策およびその他	未端子処理	OCD非接続時のDEBUGIF端子は、2k以上の抵抗でプルアップされていますか	OCD非接続時のDEBUGIF端子が抵抗を介さずに端子処理された場合、ラッチアップ等の問題が発生する可能性があります。	Yes / No		2011/10/14
ノイズ対策およびその他	特殊保証	特殊保証の検討を行った場合、通知書面に、"ご確認印 (本回答で (問題なし、問題あり) "を明記の上、担当営業まで書面を返却していますか?	特殊保証をしている場合に、試験変更が必要な場合がありますので、必ずROMリリース前までに返却をお願いします。	Yes / No	試験対応に数ヶ月程の時間がかかる場合がありますので、ROMリリース直前のご返却では試験対応できない場合もあります。	2011/10/14
CAN関連	受信エラーとバスオフについて	受信エラーによるバスオフの可能性がないことを知っていますか?	受信エラーによるバスオフが発生すると思ってソフト開発されているケースがありますがその場合の処理は、無効となります。	Yes / No		2011/10/14
CAN関連	高速CANと発振子の制度	高速CANデータ通信を行っている場合、精度の良い発振子を使用していますか?	許容できる発振子の誤差は、CANのボーレートに依存するため、発振子の誤差が大きいと通信が正常に行われない場合があります。	Yes / No		2011/10/14
CAN関連	CANボーレート	CANボーレートを決定するための各セグメントの条件を考慮した設定にしていますか?	CAN送受信が正常にされない可能性があります。	Yes / No	マニュアルのTSEG1≧2TQ, TSEG1≧RSJW, TSEG2≧2TQ, TSEG2≧RSJWの条件を満たしているかの確認をお願いします。	2011/10/14
CAN関連	IDR	IDにIDをセットしないまま、メッセージバッファ(BVAL)をイネーブルにしてないでしょうか?	IDをセットするIDRは、初期値不定です。そのため、値をセットしないままで対象メッセージバッファをイネーブルにすると、不定のIDのデータを受信する可能性があります。	Yes / No		2011/10/14
CAN関連	DIRビットについて	MDirビットをマスクしないようにしていますか?	マニュアルにMDir ビットには常に"1" を設定してくださいと記述されています。	Yes / No	マニュアルをご参照ください	2011/10/14
CAN関連	C_CANの送信について	最下位のメッセージバッファを送信バッファとして設定して、かつ、最下位メッセージバッファの送信キャンセルを行っていませんか?	優先順位が最下位のメッセージバッファを送信に使用している場合、TXRQST を"0" に設定すると、TXRQST を"1" に再設定したときに送信が遅延することがあります。TXRQST が"0" に設定されたタイミングによって、TXRQST を"1" に設定した直後にメッセージが送信されない場合があり、メッセージは下記のいずれかのイベントの後に送信されます。 - CANバス上に有効なメッセージが流れる - 他のメッセージバッファに対して送信要求が発行される - CANバスがINIT ビットによって初期化される	Yes / No	マニュアルをご参照ください	2011/10/14
CAN関連	C_CANの送信について	自動再送信禁止モード(DAR ビット=1)において、複数 (3 つ以上) のメッセージを同時に送信していませんか?	自動再送信禁止モード(DAR ビット=1)で、ホスト側が複数 (3 つ以上) メッセージの同時送信を要求した場合、 そのうちの2 つのメッセージだけが送信されます。要求されたほかのすべての送信メッセージに対しては、TXRQST ビットがリセットされますが、送信は開始されず、NEWDAT とINTPND はそのままの状態です。	Yes / No	マニュアルをご参照ください	2011/10/14
CAN関連	INITビットについて	CANデータフレームを送信中にCANコントロールレジスタのINITビットを設定していますか?	CANデータフレームのコントロールフィールドの最終ビットを送信中にCANコントロールレジスタのINITビットを設定すると、INITビットをクリアした後、最初に送信されるフレームのデータフィールドが1ビット分左へシフトされたものとなります。	Yes / No		2011/10/14

MB91580 シリーズ　デザインレビューシート

お客様製品名：＿＿＿＿＿＿＿＿＿＿＿＿チェック日：＿＿＿＿＿＿＿＿＿＿＿＿
ご採用MCU型格：＿＿＿＿＿＿＿＿＿＿＿＿チェック担当：＿＿＿＿＿＿＿＿＿＿＿＿

本デザインレビューシートは、MB91580 シリーズでのシステム開発において、問題を未然に防ぐことを目的として準備させていただいております。
より潤滑にご利用いただく上で、最低限必要と思われますチェック項目をリストしたものです。是非、ご活用ください。
また、チェック実績として、ご利用頂いた本書を大切に保管することをお勧めいたします。

項目		チェック内容	チェック理由	チェック結	備考	更新日
周辺	LIN-USART	LIN-USARTを同期モード(動作モード2)のマスタモードにおいて、シリアルクロックのマークレベルを"L"に設定しているときにソフトウェアリセット(SMR: UPCL＝1)を行っていますか?	シリアルクロック出力(SCK)より1周辺クロック分の"H"が出力されます。このため、外部に接続されるスレーブデバイスはシリアルクロックが供給されたと認識する可能性があります。	Yes / No		2011/10/14
周辺機能	12bit-ADC	アナログ入力ポートとADC起動トリガチャネルを正しく設定していますか?	ADC起動トリガチャネルはADCユニット内で定義される論理チャネルです。外部のアナログ入力端子との組み合わせ接続をソフトウェアで行うことができます。	Yes / No		2011/10/14
周辺機能	12bit-ADC	起動調停によるADC起動優先順位を正しく使用に反映していますか?	起動調停部により各ADC起動要因には以下の優先順位があります。フリーランタイマ＞リロードタイマ、外部トリガ＞ソフトウェアトリガ（低）	Yes / No		2011/10/14
周辺機能	12bit-ADC	同一起動チャネルのコンペアー致発生間隔を十分確保していますか?	コンペアー致起動を行う同一起動チャネル内で、コンペアー致の発生間隔が変換時間よりも短い場合、ADC変換中に発生したコンペアー致は無視され、変換の中断、再スタートは行われません。	Yes / No		2011/10/14
周辺機能	波形ジェネレータ	波形ジェネレータにおいてデッドタイムタイマモードをご使用時、デッドタイムタイマレジスタに対して"0000H"を設定しないでください。	デッドタイムタイマモードご使用時にデッドタイムタイマモードに"0000H"を設定した場合、正しく動作しない場合があります。	Yes / No		2011/10/14
周辺機能	波形ジェネレータ	DTTIによる波形ジェンレータ停止機能をご使用の場合、停止時の状態を正しく設定していますか?	DTTIによる波形ジェンレータ出力停止機能をご使用時、DTTI入力が有効になると波形ジェンレータ出力ポートは汎用ポートとして機能します。そのため停止時の状態を正しく設定していない場合、意図しない出力によりハードウェア破壊の原因となります。	Yes / No		2011/10/14
周辺機能	I/Oポート	アナログ入力兼用端子をアナログ入力以外で使用する場合、アナログ入力許可レジスタを正しく設定していますか?	アナログ入力兼用端子を汎用ポートとしてご使用時に、アナログ入力制御レジスタの対象ビットに対してアナログ入力禁止設定をしない場合、汎用ポートとして認識されません。	Yes / No	マニュアルをご参照ください	2011/10/14
周辺機能	I/Oポート	キーコード対象レジスタは把握されていますか?	キーコード対象レジスタはキーコードレジスタに指定された順序で書き込む必要があります。また、キーコードの書込みは連続的に行う必要があります。	Yes / No	マニュアルをご参照ください	2011/10/14
FPU	FPU	FPU制御レジスタの初期化は行っていますか?	FPU制御レジスタはFPUの例外発生許可設定や例外表示を行うレジスタです。本レジスタは初期値不定のため、未初期化状態でFPUを使用すると意図しない例外が発生する場合があります。	Yes / No		2011/10/14
全般	—	リンカの配置結合にて、コード配置は70024Hから配置されていますか?	Flashメモリの70000~70023はセキュリティコード領域として機能しています。本領域にコード、データが配置された場合、誤ってプロテクト状態となり以降プログラムの書き換えができなくなります。	Yes / No		2011/10/14
ノイズ対策およびその他	OCD	DEBUG IF接続時のインタフェース回路は当社規格を満足していますか?	DEBUG IF回路を実装時に当社規定を満足しない場合正しく動作しない場合があります。	Yes / No	当社、エンベデッドエミュレータMB2100-01-E取扱説明書をご参照ください。	2011/10/14
CPU	スタンバイモード遷移	スタンバイモードに遷移する前にREGSELレジスタにてスタンバイレギュレータ出力電圧設定を1.2V (STRSEL[2:0]=110) に設定していますか?	1.2Vに設定されていない場合、スタンバイモードへ正常に遷移できない場合があります。	Yes / No		2015/3/6
CPU	スタンバイモード遷移	スタンバイモードに遷移する際、CPUはPLLクロックで動作していませんか?	PLLラン状態からスタンバイモード(時計モード・時計モード(電源遮断)・ストップモード・ストップモード(電源遮断)への遷移を行うと、不正スタンバイモードとなります。	Yes / No		2015/3/6
CPU	スタンバイモード遷移	スタンバイモードに遷移する際、オンチップデバッグ中ではありませんか?	オンチップデバッグ中において、スタンバイ制御は行われません。DSUCR:DSU=0で使用してください。	Yes / No		2015/3/6
CPU	スタンバイモード遷移	スタンバイモード(電源遮断)に遷移する前にクロックスーパバイザ機能を停止していますか?	クロック断検出した後にスタンバイ/シャットダウン遷移指示をした場合は、通常スタンバイ処理となります。また断検出していない状態で、シャットダウン許可を有効にするとクロックスーパバイザ機能が停止しますので、注意が必要です。	Yes / No		2015/3/6
CPU	クロック	PLL/SSCGマクロ発振クロック周波数の設定に、上限および下限があることをご存じですか？下記の範囲を超えないようにPLL/SSCGの逓倍率を設定してください。 ・200MHz≦PLLマクロ発振クロック周波数≦333MHz ・200MHz≦SSCGマクロ発振クロック周波数≦333MHz(Down Speed)	ハードウェアマニュアルに記載されている設定範囲を超える場合、PLL/SSCGマクロの発振は不安定になり、正しく動作しない場合があります。	Yes / No		2015/3/24